

一种低功耗 MCU 待机电路的实现方法

杨紫薇,袁 甲,乔树山

(中国科学院大学 中国科学院微电子研究所,北京 100029)

摘 要: 低功耗 MCU 的待机模式要求具有极低的功耗电流以及灵活的内部唤醒机制. 本文提出了自设计标准单元库,通过标准数字流程设计待机电路的方法,并同时处于常开状态的功耗管理单元(PMU)进行了优化. 本设计中的待机电路通过后端流程及仿真验证,达到了设计要求,并有较为理想的功耗表现.

关键词: 低功耗,MCU,待机模式,标准单元库

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2018)01-0010-05

An Implementation Method of the Backup Circuit of Low-Power MCU

YANG Zi-wei, YUAN Jia, QIAO Shu-shan

(Institute of Microelectronics, Chinese Academy of Science, Beijing 100029, China)

Abstract: The backup mode of low-power MCU is usually supposed to have a flexible internal wakeup mechanism with extremely low power dissipation. In this work, we implement the no-voltage-regulator backup circuit through standard digital process by self-designed standard cells. Besides, the always-on module, PMU, is also optimized. The backup modules are implemented through backend process, and verified through simulations. The implemented circuits is proved to meet the design demand with a relatively ideal power dissipation.

Key words: low-power; MCU; backup-mode; standard cell

1 引言

集成了微处理器、内部存储器以及 IO 接口的微控制器(Micro Control Unit, MCU)如今被广泛应用在可移动设备和智能应用中,如可穿戴式设备、生物医疗电子以及物联网(IoT)传感网络等^[1].

低功耗 MCU 在系统级往往采用功耗管理技术,设有多个工作模式. 在正常运行模式下保证性能要求,而在低功耗模式下尽可能降低系统功耗. 在物联网传感网络应用中,节点一般只需在一定时间点上进行采样,因而 MCU 大部分时间均工作在待机模式下. 因此,待机模式的功耗很大程度上决定了系统的平均功耗.

待机模式下,MCU 的内核与高速外设均处于关断状态,系统可以通过 RTC 及少数外设中断进行唤醒,回到正常运行模式,因此要求负责模式管理

和电源控制的功耗管理单元(PMU)、低速时钟、RTC、POR 以及少数低速外设处于开启状态. MCU 多采用外部电源供电(VDD_{in}),经内部稳压器(Voltage Regulator)产生较低的核心电源电压(VDD_{core})供给内核、存储器和外设. 因此待机模式下电路有两种实现方法:可以选择在 VDD_{core} 电压下实现或直接工作在输入电源电压 VDD_{in} 下.

选择 VDD_{core} 电源供电,则待机电路可通过标准数字流程进行设计,利用标准单元库进行实现,设计灵活,方便功能扩展和模块升级,但内部 Voltage Regulator 在工作状态下会产生较大的功耗电流;而选择在常开电源域 VDD_{in} 下实现,则可以在关断模式下可将 Voltage Regulator 关断从而降低功耗,但关断电路的定制设计会大幅度增加设计难度,延长设计周期,并且同时增加电路修改和升级难度. 目前低功耗 MCU 多采用内部低功耗 LDO 产生与

VDD_{core}分离的 VDD_{backup} 电源供电的实现方法,同时关断 VDD_{core}及对应 Voltage Regulator 以降低功耗电流. 但低功耗 LDO 仍难满足超低功耗需求. 此外,功耗管理单元 PMU 一般需要工作在所有低功耗模式和关端模式下,相对复杂的逻辑也对关断电路的实现提出了挑战. 在表 1 中,我们对几款商用低功耗 MCU 的待机电路实现方法进行了总结^[2-5].

表 1 商用低功耗 MCU 待机电路实现方法

公司	型号	LDO+VDD _{bu}	VDD _{in}	功耗电流 / μ A
Atmel	SAM-L	✓		0.67
Silicon Labs	EFM32HG	✓		0.8
ST	STM32L4		✓	0.65
TI	MSP430FR	✓		0.77

本设计中 MCU 采用自设计高电压标准单元库对待机电路进行实现,由外部电源直接供电,从而在降低待机功耗的同时保证了设计的灵活性. 此外,本文对功耗管理单元 PMU 进行了设计优化,使其更好的满足低功耗模式和关断模式的设计要求.

2 MCU 平台架构及工作模式

本文中设计的 32 位 MCU 以 Cortex-M0 作为嵌入式 CPU 核,采用 AMBA2.0 总线,并采用 SMIC 55 nm 工艺实现. 采用外部 3.3 V 电源供电,内部采用 1.2 V 核心电源电压. 该 MCU 平台的框架结构如图 1 所示.

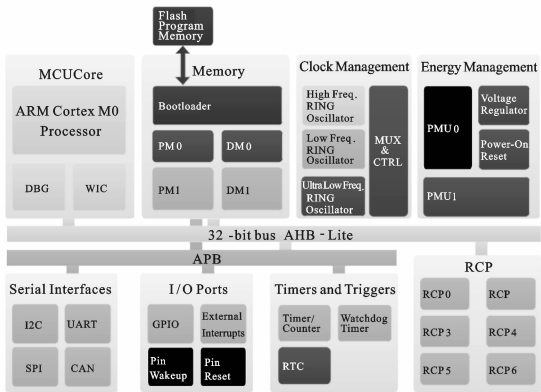


图 1 MCU 平台整体架构

本设计中的 MCU 有五种工作模式:正常运行模式、低功耗运行模式、空闲模式、待机模式和关断模式,其中待机模式关断内核、外设、存储器,仅保留 PMU、RTC、超低频时钟和 POR 模块,通过 RTC 中断和复位退出.

由图 1 可以看出,本设计中将功耗管理单元拆分为两部分:单独负责关断模式的进入及退出的 PMU0 模块,以及负责其他工作耗模式转换的 PMU1 模块. 由于关断模式仅需实现引脚重置逻辑,因此 PMU0 模块可以通过定制设计实现以最大限度降低关断模式功耗. 本设计采用文献[6]中全定制组合逻辑电路实现. PMU0 模块由外部电源直接供电,处于常开电源域从而控制内部系统级电源的通断;而 PMU1 模块采用标准单元设计方法实现,采用低频时钟以降低功耗,并与 RTC 同处于 back-up 电源域(3.3 V),由 PMU0 模块控制电源域电源通断. 图 2 为系统级电源控制示意图.

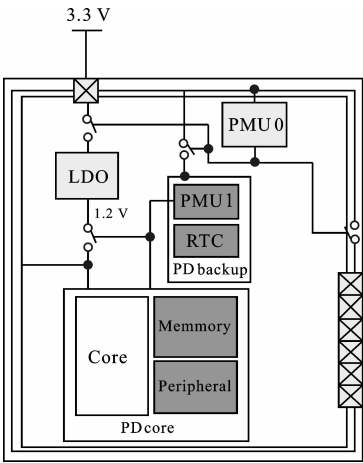


图 2 系统级电源控制示意图

3 标准单元库设计

处于 backup 电源域的 PMU1 模块和 RTC 模块工作在 3.3 V 电源电压下,无法使用工艺库中的标准单元实现,而两个模块较为复杂的逻辑也给定制设计带来巨大难度. 因此本设计采取自设计 3.3 V 标准单元库,并对两个模块进行实现. 这样的方法不但减小了设计难度,也为功能扩展、升级留有更多空间.

3.1 标准单元库的构成

标准单元设计采用 SMIC 55 nm 工艺库中的高压晶体管 pod33 和 nod33. 通过对国际标准电路 ISCAS85 组合逻辑电路和 ISCAS89 时序逻辑电路等常用的数字电路进行综合,选择出单元库中八种必需存在的单元,它们分别是反相器、缓冲器、与非门、或非门、异或门、选择器、带复位端 D 触发器^[7]. 为实现时钟门控,库中应包含时钟门控单元. 由于 backup 电源域与 core 电源域有数据交换,所以单元库中需包含电平转换单元. 另外,后端的版图生成需

用到填充单元(Filler)及 tap cell(将阱和衬底连接到电源和地)以避免 DRC 和 LVS 错误.

标准单元库主要由物理库、时序库及单元网表等文件组成. 其中物理库(.lef 文件或 CEL、FRAM view 等)记录标准单元的版图信息,包括各物理层的尺寸、形状以及输入输出引脚位置等,用于后端布局布线. 而时序库(.lib .db 或. tlf 文件)是标准单元特征化的结果,其中记录了标准单元的逻辑功能、输入输出引脚定义,以及单元的时序、功耗信息,用于数字流程中的逻辑综合、静态时序分析和后端布局布线阶段. 网表(.cdl 及. v 等)用于综合后仿真及后端 lvs 等阶段.

标准单元库的设计从标准单元电路设计开始,完成版图设计后,一方面通过单元版图后仿真提取时序库信息,另一方面由版图提取物理库信息.

3.2 标准单元电路设计

标准单元电路作为数字电路的基本组成单元,其设计优劣直接影响整体电路的性能、功耗和稳定性,因此标准单元的延时、功耗、噪声容限等参数指标需在设计阶段加以优化. 另外,为满足不同的负载要求,每个标准单元需要设计多个不同尺寸版本以实现不同驱动能力. 本设计中标准单元均设计有 X_1 、 X_2 、 X_4 三个尺寸版本.

由于反相器具有逻辑门电路中最简单的单元结构,我们将反相器作为设计的基准电路,首先确定其最佳尺寸,并作为其余单元设计的参考. 作为时钟电路的反相器 CLKINV,它需要平衡 t_r 和 t_f 、 t_{pHL} 和 t_{p+LH} ,得到尽量对称的 VTC. 而普通反相器主要考虑其延时性能,在噪声容限允许范围内使延时 t_p 最小.

本文对一个三级反相器链进行仿真,每级反相器扇出均设为 4 以使反相器链延时最小,由仿真结果对反相器尺寸进行优化. 固定 N 管宽度 W_n ,如设为最小宽度 210 nm,改变 P 管宽度 W_p 与 W_n 的比值,反相器链延迟变化情况如图 3 所示.

从图中可以看出,当 W_p 与 W_n 比值在 2.8 左右时,反相器的上升和下降延时基本相等;而当 W_p/W_n 比值在 1.35 左右时,反相器传播延时最小.

对于时钟反相器来说,对称的传输曲线和相近的上升下降时间也是重要的考量因素. 图 4、图 5 分别给出了反相器传输曲线及上升下降时间随 W_p/W_n 变化情况. 由图中可以看出,当 W_p/W_n 在 2.6 左右时,反相器的传输曲线基本对称;而当 W_p/W_n 为 2.5 左右时,反相器的上升下降时间相

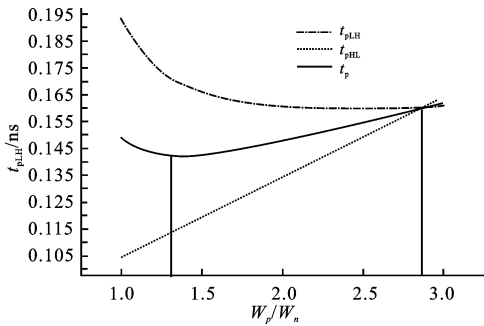


图 3 反相器延迟与 W_p/W_n 比值关系

同. 综合考率,时钟反相器的 W_p 与 W_n 的比值设定为 2.6,而普通反相器尺寸比值设定为 1.35.

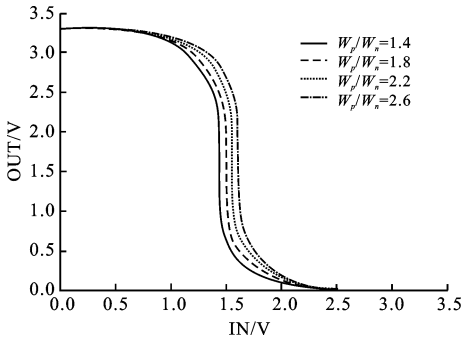


图 4 反相器传输曲线

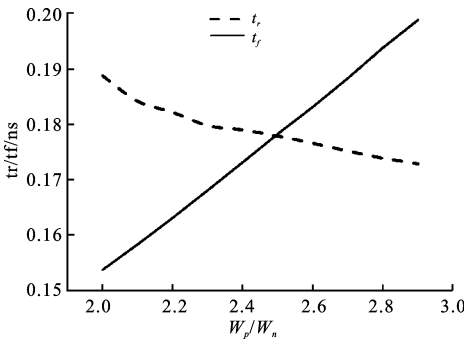


图 5 上升下降时间变化情况

由于本设计主要针对低功耗应用,因此我们首先对工艺下最小尺寸($W_n = 210\text{ n}$)的反相器进行仿真,发现其延时特性、噪声容限均在可接受范围内,因此我们选用最小尺寸实现标准单元中的反相器,即时钟反相器 $W_p = 550\text{ nm}$, $W_n = 210\text{ nm}$;普通反相器 $W_p = 280\text{ nm}$, $W_n = 210\text{ nm}$. 以反相器尺寸为基础,完成其他标准单元电路的设计,并进行电路仿真,验证其功能,初步测评其延时、功耗表现.

3.3 标准单元版图设计

标准单元版图设计需遵照标准网格设计准则,以确保自动布局布线工具的正常操作.

芯片后端布线工具均按照各层金属的布线轨道

(Wire Track)进行布线. 一般来讲, M1 在水平轨道上布线, M2 在纵向轨道布线, 以此类推. 而水平布线轨道与纵向布线轨道构成了布局布线标准网格, 横纵交叉点称为格点. 标准单元的高度需设定为统一值, 且为纵向网格间距的整数倍, 同时每个标准单元的版图宽度也必须为横向网格间距的整数倍. 此外, 标准单元的输入输出引脚应处于标准网格的格点上, 以保证布线工具的高效连接.

标准网格的间距可以有三种选择: 线间距离 (line-to-line)、线与通孔距离 (via-to-line) 和通孔间距离 (via-to-via), 如图 6 所示. 为避免过多 DRC 错误, 增加布线成功率, 本设计选用通孔间距离作为标准网格间距, 即 $0.25\ \mu\text{m}$.

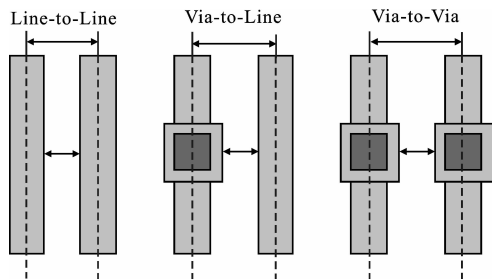


图 6 标准网格距离的三种选择

为确定标准单元高度, 我们首先对最复杂模单元—D 触发器进行版图设计. 由于标准单元高度必须为 $0.25\ \mu\text{m}$ 的整数倍, D 触发器 (DFFV2) 高度至少为 $2\ \mu\text{m}$ 时可保证版图无 DRC 错误. 设计完成的 D 触发器版图如图 7 所示.

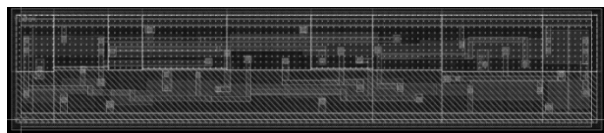


图 7 DFF (X_2) 版图

由于后端布局标准单元紧密排布, 如图 8 所示, 为避免版图 DRC 错误, 标准单元设计需满足半最小距离设计规则, 即形状到单元边界距离不小于该层形状间最小距离的一半.

依据以上设计要求对标准单元库内所有单元版图进行设计, 完成 DRC 和 LVS 检测, 并进行版图后仿真以验证功能正确性. 提取验证过的标准单元库 GDS 格式版图及寄生参数网表, 以备后续建库程序之用.

3.4 物理库的生成

标准单元库版图设计后, 利用 Synopsys 公司的 Milkyway 生成 .mw 格式物理库, 用于后端布局布

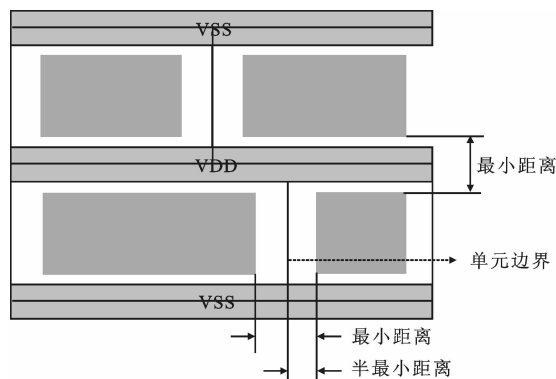


图 8 标准单元排布方式

线. 其大致步骤为:

1. 建立库文件, 导入技术文件 (.tf)
2. 导入 GDS 文件, 并将单元性质设置为标准单元
3. 将单元版图打散, 提取引脚信息
4. 生成 FRAM view 文件
5. 导入对应 .lib 文件, 生成 .db 库文件

物理库提取出布局布线所需的版图信息, 使布线更高效.

3.5 单元特征化

利用建库工具对标准单元的时序信息、功耗信息进行提取, 生成时序文件的过程叫做单元特征化. 本设计采用 Synopsys 公司的 SiliconSmart 对标准单元库进行特征化. SiliconSmart 建立时序库有两种方法, 一种是有模板的情况, 一种是没有模板的情况. 这里我们利用商用标准单元库建立模板进行特征化, 以保证时序库的完备性.

标准单元特征化需准备标准单元版图的寄生参数网表, 并确定时序文件的工艺、电压、温度 (PVT), 单元输入信号斜率、输出负载范围以及其他建库参数. 设置参数之后, 我们指定 hspice 作为模拟器, 并依照模板时序库和仿真配置对标准单元的寄生参数网表进行仿真, 并用记录下的仿真数据进行建库.

生成的时序库记录了标准单元的逻辑功能、面积、引脚信息、输入引脚电容、不同输入信号斜率和输出负载下输出节点的时序信息, 以及不同翻转产生的功耗信息等. 本设计采用 SiliconSmart 生成 .lib 格式时序库, 其大致结构如图 9 所示^[8].

4 待机电路模块的实现

基于前文所设计的标准单元库, 我们即可将 backup(3.3 V) 电压域中的电路模块通过标准数字

文所设计的 ECC 点乘算法综合权衡了执行速度、面积和功耗等多种指标,采用了以降低功耗为主的主要目标,同时兼顾设计拓展的灵活性,设计出了可配置、低功耗的 ECC 点乘算法硬件实现电路. 综合对比同类的设计方案,无论是 FPGA 实现方式还是 ASIC 实现方式,本文所设计点乘算法都取得了明显的性能提升,可满足资源受限的应用场合的使用需求.

参考文献:

- [1] Hankerson D, Menezes A, Vanstone S. Guide to elliptic curve cryptography[J]. Springer, 2004, 22 (3): 98-101.
- [2] Montgomery P L. Speeding the pollard and elliptic curve methods of factorization [J]. Mathematics of computation, 1987, 177(48): 243-264.
- [3] Li L, Li S. High-Performance pipelined architecture of elliptic curve scalar multiplication over $GF(2^m)$ [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 24(4): 1223-1232.
- [4] Sutter G D, Deschamps J P, Imaña J L. Efficient elliptic curve point multiplication using digit-serial binary field operations[J]. IEEE Transactions on Industrial Electronics, 2013, 60(1): 217-225.
- [5] Azarderakhsh R, Jarvinen K U, Mozaffari-Kermani M. Efficient algorithm and architecture for elliptic

curve cryptography for extremely constrained secure applications[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2014, 61(4): 1144-1155.

- [6] Khan Z U A, Benaissa M. High speed ECC implementation on FPGA over $GF(2^m)$ [C]//Field Programmable Logic and Applications (FPL), 2015 25th International Conference on. London, UK, IEEE, 2015: 1-6.
- [7] 魏国珩, 汪亚, 张焕国. 面向 RFID 应用的 $GF(2^m)$ 域上 ECC 点乘运算的轻量化改进研究[J]. 计算机工程与科学, 2017, 39(1): 81-85.
- [8] Lee Y K, Sakiyama K, Batina L, et al. Elliptic-curve-based security processor for RFID[J]. IEEE Transactions on Computers, 2008, 57 (11): 1514-1527.
- [9] Liu Z, Liu D, Zou X, et al. Design of an elliptic curve cryptography processor for RFID tag chips[J]. Sensors, 2014, 14(10): 17883-17904.

作者简介:

车光宁 男,(1986-),硕士研究生. 研究方向为 RFID 安全认证协议及加密算法的低功耗设计和实现.

E-mail: cheguangning@163.com.

张钊锋 男,(1972-),博士,研究员. 研究方向为 CMOS 射频集成电路及片上系统 SOC、物联网核心芯片和车联网关键技术.

(上接第 14 页)

自设计标准单元库,通过标准数字流程设计待机电路的方法,并同时处于常开状态的功耗管理单元(PMU)提出了进一步优化方法. 采用自设计标准单元库实现的待机电路通过后端流程及仿真验证,达到了设计要求,并有较为理想的功耗表现.

参考文献:

- [1] Tsai-Kan Chien, Lih-Yih Chiou. Low-Power MCU with embedded rram buffers as sensor hub for iot applications [J]. Journal On Emerging and Selected Topics In Circuits and Systems, IEEE, 2016, 6(2): 247-257.
- [2] Atmel. Setting a new low power standard for ARM cortex-M0 + based microcontrollers [EB/OL]. [2017-04-05]. <http://www.atmel.com/products/microcontrol/arm/sam-1.aspx>. 2016.
- [3] Silicon Labs. EFM32TM 32-bit Micro-controllers (MCUs) [EB/OL]. [2017-04-07]. <http://www.silabs.com/products/mcu/32-bit/Pages/32-bit-microcontrollers.aspx>.

[4] ST Microelectronics. STM32L486xx datasheet. Production data[M]. Switzerland, Geneva, ST Microelectronics, 2014.

[5] Texas. Instrumerts. MSP430FR413x 混合信号微控制器[M]. USA, Austin, Texas Instruments, 2014.

[6] 杨紫薇, 朱致玖, 袁甲, 等. 一种针对低功耗 MCU 关断模式的功耗优化方法[J]. 微电子学与计算机, 2017, 34 (6): 26-30.

[7] 梁曼. 适用于结构化 ASIC 的单元库设计[D]. 北京: 中国科学院大学, 2013.

[8] 虞希清. 专用集成电路设计使用教程[M]. 杭州: 浙江大学出版社, 2007.

作者简介:

杨紫薇 女,(1991-),硕士研究生. 研究方向为低功耗 MCU 关键技术.

袁甲 男,(1985-),博士,助理研究员. 研究方向为低功耗数字电路理论、近亚阈值技术、系统容错技术及低功耗数字设计流程.

乔树山(通信作者) 男,(1981-),博士,副研究员. 研究方向为数字集成电路设计、数字电视、绿色无线通信、电力线载波通信. E-mail: qiaoshushan@ime.ac.cn.